

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-204022

(43) 公開日 平成8年(1996)8月9日

(51) Int.Cl. <sup>8</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/8234 27/088 29/78				
			H 0 1 L 27/ 08 29/ 78	1 0 2 B 3 0 1 G
			審査請求	未請求 請求項の数1 OL (全 8 頁)

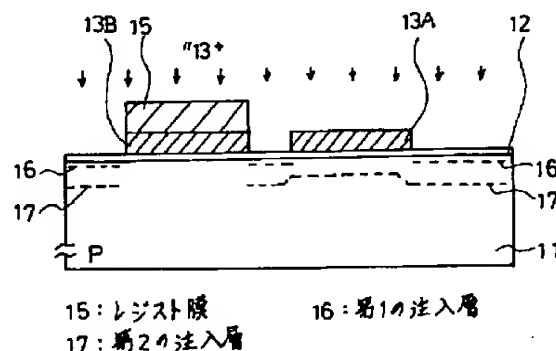
(21) 出願番号	特願平7-7705	(71) 出願人	000001889 三洋電機株式会社 大阪府守口市京阪本通2丁目5番5号
(22) 出願日	平成7年(1995)1月20日	(72) 発明者	金子 守 大阪府守口市京阪本通2丁目5番5号 三 洋電機株式会社内
		(72) 発明者	板橋 厚 大阪府守口市京阪本通2丁目5番5号 三 洋電機株式会社内
		(74) 代理人	弁理士 岡田 敬

(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【目的】工程数の削減とMOSトランジスタの弱反転特性の向上とを可能とする半導体装置の製造方法を提供することを目的としている。

【構成】、第1のイオン注入工程では、第1及び第2のSiN膜(13A、13B)がマスクとして働くような加速電圧、例えば40KeVでボロンイオン(11B+)を前記基板(11)のLOCOS酸化膜形成領域に注入し、第1の注入層(16)を形成する。続く第2のイオン注入工程では、第1のSiN膜(13A)を貫通し、かつレジスト膜(15)で被覆された第2のSiN膜(13B)を貫通しない加速電圧、例えば140KeVでボロンイオン(11B+)を前記基板(11)の第1のMOSトランジスタ形成領域に注入し、第2の注入層(17)を形成する。



## 【特許請求の範囲】

【請求項1】 第1のMOSトランジスタと、第1のMOSトランジスタより厚いゲート酸化膜を有する第2のMOSトランジスタとを具備する半導体装置の製造方法において、

一導電型の半導体基板上に互いに離間された第1及び第2のSiN膜を形成する工程と、

第2のSiN膜を被覆するようにレジスト膜を形成する工程と、

第1及び第2のSiN膜がマスクとして働くような加速電圧で一導電型の不純物を前記基板のLOCOS酸化膜形成領域に注入する第1のイオン注入工程と、

第1のSiN膜を貫通し、かつレジスト膜で被覆された第2のSiN膜を貫通しない加速電圧で一導電型の不純物を第1のMOSトランジスタ形成領域に注入する第2のイオン注入工程と、

レジスト膜を除去した後に第1及び第2のSiN膜を耐酸化性マスクとして熱酸化を行うことによりLOCOS酸化膜を形成する工程と、

第1及び第2のSiN膜を除去した後に厚いゲート酸化膜を形成する第1のゲート酸化工程と、

LOCOS酸化膜をマスクとして一導電型の不純物を前記基板の第1及び第2のトランジスタ形成領域に注入する第3のイオン注入工程と、

第1のMOSトランジスタ形成領域上のゲート酸化膜を選択的に除去する工程と、

第1のMOSトランジスタ形成領域上に、第2のMOSトランジスタ形成領域上より薄いゲート酸化膜を形成する第2のゲート酸化工程と、を有することを特徴とする半導体装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は半導体装置の製造方法に関するものであり、さらに詳しく言えば、ゲート酸化膜厚の異なるMOSトランジスタを有する半導体装置を製造する際の工程の削減、並びにトランジスタの弱反転領域におけるリーク電流の低減を可能とする半導体装置の製造方法に関するものである。

## 【0002】

【従来の技術】近年のTFT型液晶関連製品の需要増大に伴い、半導体業界においてもLCD駆動用LSIの開発及び製造がきわめて活発になっている。このLCD駆動用LSIは、21Vという高電源電圧で動作する出力ドライバ部分と5Vの標準的な電源電圧で動作する論理回路部分とから構成されるため、ゲート酸化膜の耐圧面の信頼性を考慮して、出力ドライバ部分のゲート酸化膜については論理回路部分に比して厚く形成している。

【0003】以下で、従来例に係る半導体装置の製造方法を図11乃至図20を参照しながら説明する。なお、

従来例の半導体装置は実際にはCMOS構造であるが、説明の簡単のためNチャネル側のみ図示した。まず、図11において、P型のシリコン基板(1)上の全面にパッド酸化膜(2)を介してSiN膜(3)を形成する。次に、図12において、レジスト膜(4)をマスクとしてSiN膜(3)を選択的にエッチングすることにより、第1のSiN膜(3A)及び第2のSiN膜(3B)を形成する。その後、図13において、それらをマスクとしてボロンイオン(11B+)をシリコン基板(1)をイオン注入する。このとき、Pチャネル側(図示せず)については、レジスト膜で被覆する工程を行って上記のイオン注入を行う。

【0004】そして、図14において、第1のSiN膜(3A)及び第2のSiN膜(3B)を耐酸化性マスクとして選択酸化を行い、LOCOS酸化膜(5)を形成する。このとき、イオン注入されたボロンが基板(1)の下方へ拡散し、Nチャネル領域のLOCOS酸化膜(5)の下にチャネルストップ層(6)が形成される。この後、SiN膜及びパッド酸化膜(2)の除去工程を経て、図15において、犠牲酸化膜(7)を形成し、Pチャネル側(図示せず)をレジスト膜(8)で被って、ボロンイオン(11B+)による第1回目のチャネルイオン注入を行う。

【0005】次いで、図16において、第2のMOSトランジスタ形成領域を露出し、かつ第1のMOSトランジスタ形成領域を被覆するようにレジスト膜(9)を形成し、そのレジスト膜(9)をマスクとして、リンイオン(31P+)による第2回目のイオン注入を行う。これは、第2のMOSトランジスタのしきい値( $V_{th}$ )を調節するために必要とされるイオン注入工程である。

【0006】次に、犠牲酸化膜(7)を除去し、図17において、熱酸化により600Å程度の厚いゲート酸化膜(10)を形成する。次いで、図18において、第1のMOSトランジスタ形成領域上に開口を有するレジスト膜(11)を形成し、エッチングすることによりその領域上のゲート酸化膜(10)を選択的に除去する。そして、図19において、レジスト膜(11)を除去し、第2回目のゲート酸化工程を行い、第1のMOSトランジスタ形成領域上に240Å程度の薄いゲート酸化膜(10B)を形成するとともに、第2のMOSトランジスタ形成領域上のゲート酸化膜(10)の膜厚を700Å程度まで厚くする。次に、図20において、ゲート酸化膜(10、10B)上にそれぞれポリシリコン等からなるゲート電極(12)を形成し、そのゲート電極(12)をマスクとしてシリコン基板(1)にリンイオン(31P+)またはヒ素イオン(75As+)をイオン注入し、ソース層(13)及びドレイン層(14)を形成する。

【0007】以上の工程により、240Å程度のゲート酸化膜(10B)を有する第1のMOSトランジスタと、700Å程度のゲート酸化膜(10)を有する第2

のMOSトランジスタとを形成し、前者をLCD駆動用LSIの論理回路部分に、後者を出力ドライバー部分に使用していた。

#### 【0008】

【発明が解決しようとする課題】しかしながら、従来の製造方法では、ゲート酸化膜の膜厚の異なる2種類のMOSトランジスタのしきい値を設定するために、2回のチャネルイオン注入工程と、それに伴う2回のマスク合わせ工程とを行なわなければならない、工程数が多いという問題点があった。

【0009】さらに、従来の製造方法では、異なる膜厚のゲート酸化膜を形成するために、上記チャネルイオン注入後に2度のゲート酸化を行っていた。このため、第1回目に注入されたボロンの拡散により、チャネルの表面濃度が高まり、それを補償して適正なしきい値を確保すべく、第2回目のイオン注入においてリンイオンの注入量を多くしなければならなかった。その結果、ゲート酸化膜の厚い第2のMOSトランジスタの弱反転領域(Weak Inversion Region)でのソースドレイン間リーク電流が増加するという問題点も有していた。

【0010】本発明は、上記の問題点に鑑みて為されたものであり、工程数の削減とMOSトランジスタの弱反転特性の向上とを可能とする半導体装置の製造方法を提供することを目的としている。

#### 【0011】

【課題を解決するための手段】本発明に係る半導体装置の製造方法は、第1のMOSトランジスタと、第1のMOSトランジスタより厚いゲート酸化膜を有する第2のMOSトランジスタとを具備する半導体装置の製造方法において、一導電型の半導体基板上に互いに離間された第1及び第2のSiN膜を形成する工程と、第2のSiN膜を被覆するようにレジスト膜を形成する工程と、第1及び第2のSiN膜がマスクとして働くような加速電圧で一導電型の不純物を前記基板のLOCOS酸化膜形成領域に注入する第1のイオン注入工程と、第1のSiN膜を貫通し、かつレジスト膜で被覆された第2のSiN膜を貫通しない加速電圧で一導電型の不純物を第1のMOSトランジスタ形成領域に注入する第2のイオン注入工程と、レジスト膜を除去した後に第1及び第2のSiN膜を耐酸化性マスクとして熱酸化を行うことによりLOCOS酸化膜を形成する工程と、第1及び第2のSiN膜を除去した後に厚いゲート酸化膜を形成する第1のゲート酸化工程と、LOCOS酸化膜をマスクとして一導電型の不純物を前記基板の第1及び第2のトランジスタ形成領域に注入する第3のイオン注入工程と、第1のMOSトランジスタ形成領域上のゲート酸化膜を選択的に除去する工程と、第1のMOSトランジスタ形成領域上に、第2のMOSトランジスタ形成領域上より薄いゲート酸化膜を形成する第2のゲート酸化工程と、を有することを特徴としている。

#### 【0012】

【作 用】本発明によれば、まず、上記の第2のイオン注入工程で、第1のMOSトランジスタのみに注入を行い、次いで、第3のイオン注入工程で、両方のトランジスタに注入を行うことにより、しきい値を制御している。すなわち、第1のMOSトランジスタでは、第3のイオン注入のみで制御され、一方、第2のMOSトランジスタでは、第2及び第3のイオン注入を足し合わせた注入量において、しきい値の制御がなされる。しかし、第2のイオン注入工程では、チャネルストップ層形成用の第1のイオン注入工程と同じレジスト膜を兼用しているため、従来に比べてマスク合わせ工程が1回少なく済むのである。

【0013】さらに、本発明によれば、第3のイオン注入工程の後で、1度のゲート酸化工程しかないので、従来例に比べてチャネルイオン注入後の熱処理量を減少させることができ、ボロンの拡散を極力小さくできる。したがって、従来のように、第2のMOSトランジスタに対してリンイオンによるカウンター注入を必要としない。これにより、総チャネル注入量が減り、また、表面にN型不純物がいないので、弱反転領域におけるリーク電流を低減することができる。

#### 【0014】

【実施例】以下で、本発明の一実施例に係る半導体装置の製造方法を図面を参照しながら説明する。なお、本実施例に係る半導体装置は実際にはCMOS構造であるが、説明の簡単のためNチャネル側のみ図示している。まず、図1において、P型のシリコン基板(11)上にパッド酸化膜(12)を介して減圧CVD法によりSiN膜(13)(シリコン窒化膜)を形成する。次に、図2において、レジスト膜(14)をマスクとしてSiN膜(13)を選択的にエッチングすることにより、第1のSiN膜(13A)及び第2のSiN膜(13B)を形成する。

【0015】次に、図3において、レジスト膜(14)を除去した後に、再度、第2のSiN膜(13B)を被覆するように、約1 $\mu$ mの膜厚のレジスト膜(15)を形成する。このとき、Pチャネル側(図示せず)も同時にレジスト膜で被覆しているため、従来例と比べてここまでの工程では、マスク合わせ工程数は変わらない。本発明の特徴は、以下に説明する2回のイオン注入工程を行うことである。

【0016】すなわち、第1のイオン注入工程では、第1及び第2のSiN膜(13A、13B)がマスクとして働くような加速電圧、例えば40KeVでボロンイオン(11B+)を前記基板(11)のLOCOS酸化膜形成領域に注入し、第1の注入層(16)を形成する。このイオン注入は、チャネルストップ層(19)を形成するためのもので、その注入量は5E15/cm<sup>2</sup>(5E15は、5掛ける10の15乗を表す。以下において同

じ。)である。続く第2のイオン注入工程では、第1のSiN膜(13A)を貫通し、かつレジスト膜(15)で被覆された第2のSiN膜(13B)を貫通しない加速電圧、例えば140KeVでボロンイオン(11B+)を前記基板(11)の第1のMOSTランジスタ形成領域に注入し、第2の注入層(17)を形成する。このイオン注入は、後に形成する膜厚の薄い第1のMOSTランジスタのしきい値を制御するためのものであり、その注入量は、 $4E12/cm^2$ である。

【0017】次に、図4において、レジスト膜(15)を除去した後に、第1及び第2のSiN膜(13A、13B)をマスクとして1000℃程度でウエット酸化を行い、8000Å程度のLOCOS酸化膜(18)を形成する。このとき、第1及び第2のイオン注入層(16、17)が拡散され、LOCOS酸化膜(18)の下にチャネルストップ層(19)と、第1のMOSTランジスタのチャネル領域にチャネルドープ拡散層(20)とが一体化されて形成される。

【0018】次に、図5において、第1及び第2のSiN膜(13A、13B)、パッド酸化膜(12)を除去後、犠牲酸化(ダミー酸化)を行い、その犠牲酸化膜を除去した後に、さらに950℃の熱酸化を行い、600Å程度の厚いゲート酸化膜(21)を形成する。次いで、図6において、Pチャネル側を被覆するレジスト膜(22)を形成し、ボロンイオン(11B+)を前記基板(11)の第1及び第2のMOSTランジスタ形成領域に注入する第3のイオン注入工程を行い、第3の注入層(23)を形成する。このイオン注入は、加速電圧140KeV、注入量 $1.5E12/cm^2$ という条件で行う。これにより、第2のMOSTランジスタのしきい値は、本イオン注入によって決定され、第1のMOSTランジスタのしきい値は、本イオン注入と第2のイオン注入との足し合わせにより決定されることになる。

【0019】次に、図7において、第1のMOSTランジスタ形成領域上の厚いゲート酸化膜(21)を選択的に除去する。本工程では、第1のMOSTランジスタ形成領域上に開口(24)を有するレジスト膜(25)を形成し、希釈HF溶液により当該ゲート酸化膜(21)を選択的にエッチング除去している。そして、図8において、レジスト膜(25)を除去した後に第2のゲート酸化工程を行い、第1のMOSTランジスタ形成領域上に、第2のMOSTランジスタ形成領域上に比して薄いゲート酸化膜(26)を形成する。このゲート酸化工程は、900℃程度の熱酸化により、240Å程度の薄いゲート酸化膜(26)を形成するが、この酸化工程で厚いゲート酸化膜(21)も700Å程度にさらに厚くなる。したがって、最終的には、第1のMOSTランジスタについては、240Å程度の薄いゲート酸化膜(26)が形成され、第2のMOSTランジスタについては、700Å程度の厚いゲート酸化膜(21)が形成さ

れる。

【0020】その後は、図9において、常法により、ポリシリコン等からなるゲート電極(27)をそれぞれのゲート酸化膜(21、22)上に形成する。Pチャネル側を被覆するレジスト膜(28)を形成し、このレジスト膜(28)及びゲート電極(27)をマスクとしてリンイオン(31P+)またはヒ素イオン(75As+)をイオン注入し、ソース層(29)及びドレイン層(30)を形成する。

【0021】以上の工程により、240Å程度のゲート酸化膜(26)を有する第1のMOSTランジスタと、700Å程度のゲート酸化膜(21)を有する第2のMOSTランジスタとを形成し、前者をLCD駆動用LSIの論理回路部分に、後者を出力ドライバー部分に使用することができる。ここで、第1及び第2のMOSTランジスタのしきい値の制御方法について、図10を参照して説明する。図10は、しきい値とボロンイオン注入量との関係を示す図である。第1のMOSTランジスタと第2のMOSTランジスタとはゲート酸化膜の膜厚が異なるために、図に示すように、第2のMOSTランジスタの方が同一注入量に対してしきい値が高く、かつ注入量に対する傾きも大きい。

【0022】そこで、本実施例では、まず、上記の第2のイオン注入工程で、第1のMOSTランジスタのみに $4E12/cm^2$ の注入を行い、次いで、第3のイオン注入工程で、両方のランジスタに $1.5E12/cm^2$ の注入を行うことでしきい値の制御している。すなわち、第2のMOSTランジスタでは、 $1.5E12/cm^2$ という注入量において、約1.0Vという所望のしきい値が得られ、一方、第1のMOSTランジスタでは、第2及び第3のイオン注入を足し合わせた $5.5E12/cm^2$ という注入量において、約0.9Vというほぼ等しいしきい値が得られる。そして、第2のイオン注入工程は、チャネルストップ層(19)を形成する第1のイオン注入工程と同じレジスト膜(15)をそのまま利用しているので、従来例に比してマスク合わせ工程が1回少なくなるのである。

【0023】さらに、本実施例によれば、第3のイオン注入工程の後は、1回のゲート酸化工程しかないのので、従来例に比べてチャネルイオン注入後の熱処理量を減少でき、この結果従来例のように第2のMOSTランジスタに対してリンイオンによるカウンター注入を必要としないのである。なお、図10において、一点鎖線で示したように、従来例ではしきい値が高くなりすぎるために、カウンター注入を必要としていた。これにより、総イオン注入量が減り、またチャネル表面の濃度を比較的高く設定できるので、弱反転領域におけるリーク電流を大幅に小さくすることができた。

【0024】

【発明の効果】以上説明したように、本発明によれば、

7

第1のMOSトランジスタと、第1のMOSトランジスタより厚いゲート酸化膜厚を有する第2のMOSトランジスタとを具備する半導体装置の製造方法において、それぞれのトランジスタのしきい値を所望の値に制御するためのイオン注入工程において必要とされるマスク合わせ回数を従来に比して少なくすることができ、製造工程の合理化に寄与することができる。また、本発明によれば、第2のMOSトランジスタの弱反転特性を向上することができる。特に、低電圧系と高電圧系の二電源を有するLCD駆動用LSI等の製造に適用することにより、製造工程の合理化及び低消費電力化に寄与することができる。

【図面の簡単な説明】

【図1】本発明の一実施例に係る半導体装置の製造方法を説明する第1の断面図である。

【図2】本発明の一実施例に係る半導体装置の製造方法を説明する第2の断面図である。

【図3】本発明の一実施例に係る半導体装置の製造方法を説明する第3の断面図である。

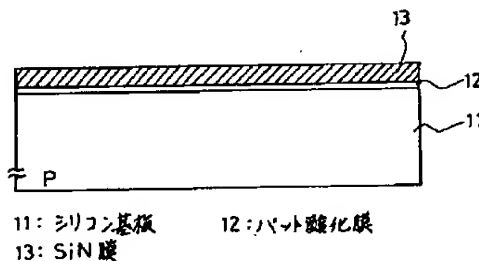
【図4】本発明の一実施例に係る半導体装置の製造方法を説明する第4の断面図である。

【図5】本発明の一実施例に係る半導体装置の製造方法を説明する第5の断面図である。

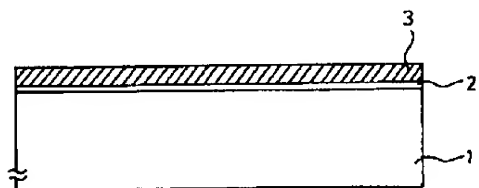
【図6】本発明の一実施例に係る半導体装置の製造方法を説明する第6の断面図である。

【図7】本発明の一実施例に係る半導体装置の製造方法を説明する第7の断面図である。

【図1】



【図11】



8

【図8】本発明の一実施例に係る半導体装置の製造方法を説明する第8の断面図である。

【図9】本発明の一実施例に係る半導体装置の製造方法を説明する第9の断面図である。

【図10】MOSトランジスタのしきい値とイオン注入量との関係を示す図である。

【図11】従来例に係る半導体装置の製造方法を説明する第1の断面図である。

【図12】従来例に係る半導体装置の製造方法を説明する第2の断面図である。

【図13】従来例に係る半導体装置の製造方法を説明する第3の断面図である。

【図14】従来例に係る半導体装置の製造方法を説明する第4の断面図である。

【図15】従来例に係る半導体装置の製造方法を説明する第5の断面図である。

【図16】従来例に係る半導体装置の製造方法を説明する第6の断面図である。

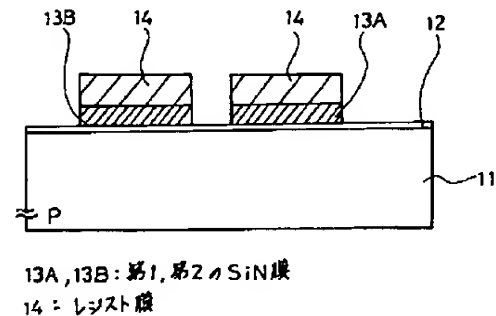
【図17】従来例に係る半導体装置の製造方法を説明する第7の断面図である。

【図18】従来例に係る半導体装置の製造方法を説明する第8の断面図である。

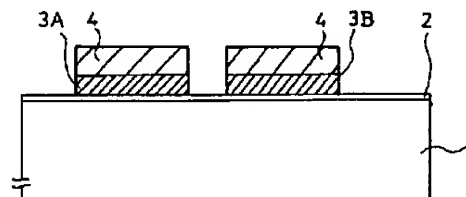
【図19】従来例に係る半導体装置の製造方法を説明する第9の断面図である。

【図20】従来例に係る半導体装置の製造方法を説明する第10の断面図である。

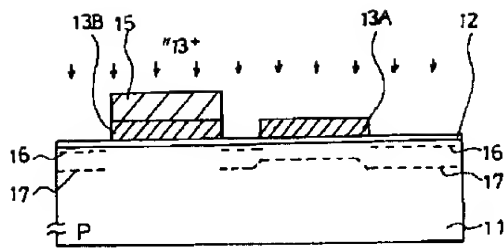
【図2】



【図12】

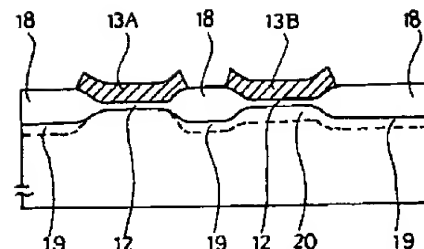


【図3】



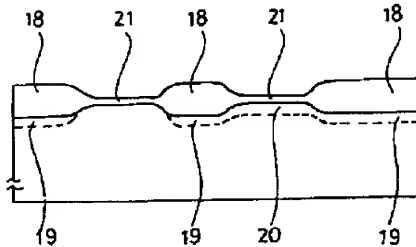
15: レジスト膜  
16: 第1の注入層  
17: 第2の注入層

【図4】



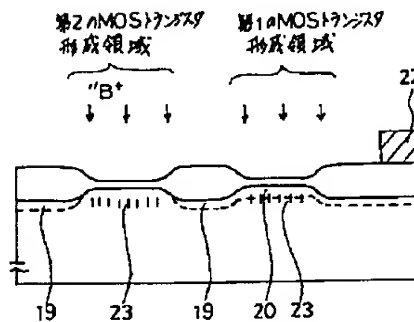
18: LOCOS 酸化膜  
19: チャンネルストップ層  
20: チャンネルドープ拡散層

【図5】



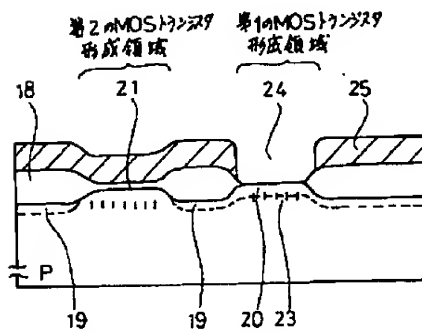
21: 薄いゲート酸化膜

【図6】



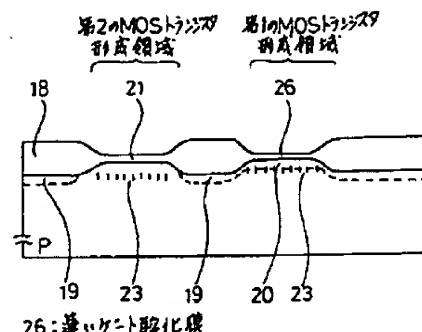
22: レジスト膜  
23: 第3の注入層

【図7】



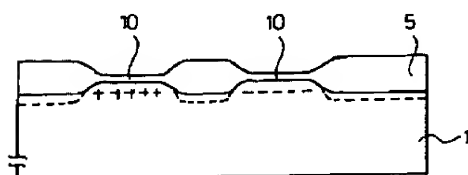
24: 開口  
25: レジスト膜

【図8】

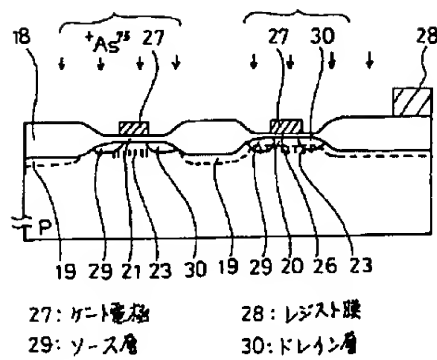


26: 薄いゲート酸化膜

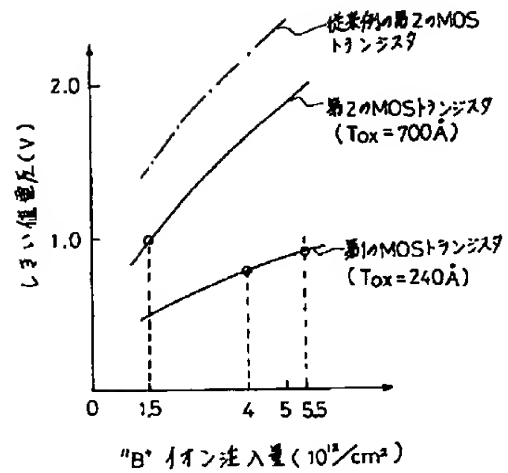
【図17】



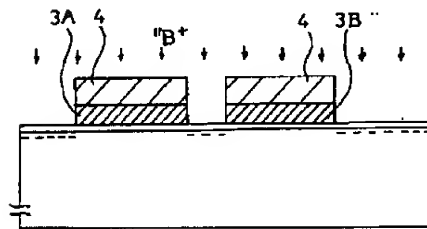
【図9】



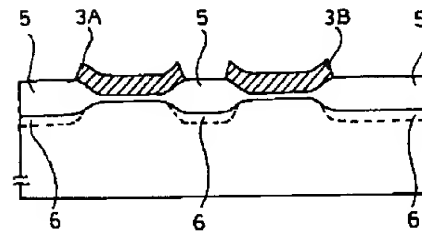
【図10】



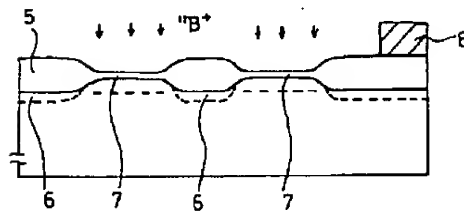
【図13】



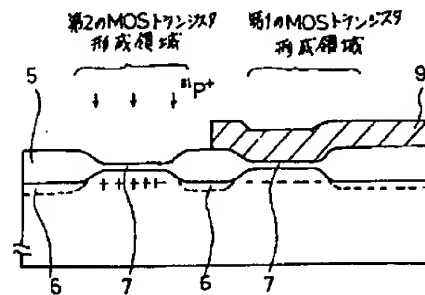
【図14】



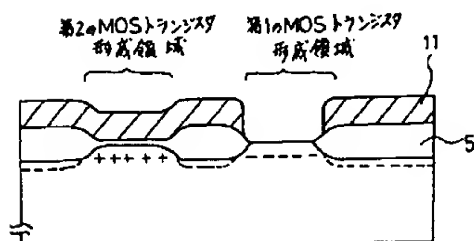
【図15】



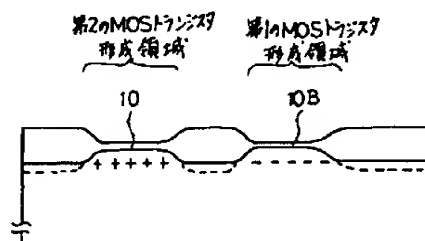
【図16】



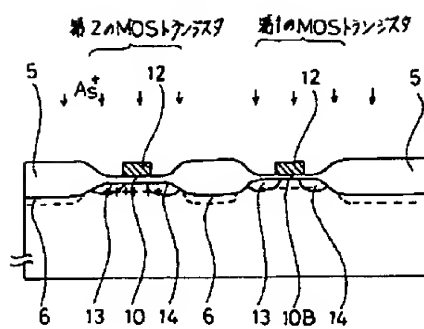
【図18】



【図19】



【図20】





09/891,580

JP8-204022-A



**MACHINE-ASSISTED TRANSLATION (MAT):**

(19) 【発行国】 日本国特許庁 ( J P )	(19)[ISSUING COUNTRY] Japan Patent Office (JP)
(12) 【公報種別】 公開特許公報 ( A )	(12)[GAZETTE CATEGORY] Laid-open Kokai Patent (A)
(11) 【公開番号】 特開平 8 - 2 0 4 0 2 2	(11)[KOKAI NUMBER] Unexamined Japanese Patent (1996-204022) Heisei 8-204022
(43) 【公開日】 平成 8 年 ( 1 9 9 6 ) 8 月 9 日	(43)[DATE OF FIRST PUBLICATION] (1996.8.9)
(54) 【発明の名称】 半導体装置の製造方法	(54)[TITLE OF THE INVENTION] MANUFACTURING METHOD OF SEMICONDUCTOR DEVICE
(51) 【国際特許分類第 6 版】 H01L 21/8234 27/088 29/78	(51)[IPC Int. Cl. 6] H01L 21/8234 27/088 29/78
【 F I 】 H01L 27/08 102 B 29/78 301 G	[FI] H01L 27/08 102 B 29/78 301 G
【審査請求】 未請求	[REQUEST FOR EXAMINATION] No
【請求項の数】 1	[NUMBER OF CLAIMS] 1
【出願形態】 O L	[FORM OF APPLICATION] Electronic

【全頁数】 8

[NUMBER OF PAGES] 8

(21) 【出願番号】

特願平 7 - 7 7 0 5

(21)[APPLICATION NUMBER]

Japanese Patent Application (1995-7705)  
Heisei 7-7705

(22) 【出願日】

平成 7 年 ( 1 9 9 5 ) 1 月 2 0  
日

(22)[DATE OF FILING]

(1995.1.20)

(71) 【出願人】

(71)[PATENTEE/ASSIGNEE]

【識別番号】

0 0 0 0 0 1 8 8 9

[ID CODE]

000001889

【氏名又は名称】

三洋電機株式会社

[NAME OR APPELLATION]

Sanyo Electric Co., Ltd.

【住所又は居所】

大阪府守口市京阪本通 2 丁目 5  
番 5 号

[ADDRESS OR DOMICILE]

(72) 【発明者】

(72)[INVENTOR]

【氏名】

金子 守

[NAME OR APPELLATION]

Kaneko Mamoru

【住所又は居所】

大阪府守口市京阪本通 2 丁目 5  
番 5 号 三洋電機株式会社内

[ADDRESS OR DOMICILE]

(72) 【発明者】

(72)[INVENTOR]

**【氏名】**

板橋 厚

**[NAME OR APPELLATION]**

Itabashi Atsushi

**【住所又は居所】**大阪府守口市京阪本通2丁目5  
番5号 三洋電機株式会社内**[ADDRESS OR DOMICILE]****(74) 【代理人】****(74)[AGENT]****【弁理士】****[PATENT ATTORNEY]****【氏名又は名称】**

岡田 敬

**[NAME OR APPELLATION]**

Okada Kei

**(57) 【要約】****(57)[ABSTRACT OF THE DISCLOSURE]****【目的】**

工程数の削減とMOSトランジスタの弱反転特性の向上とを可能とする半導体装置の製造方法を提供することを目的としている。

**[PURPOSE]**

It aims at providing the manufacturing method of the semiconductor device which enables a reduction of the number of processes, and an improvement of the weak reversal property of a MOS transistor.

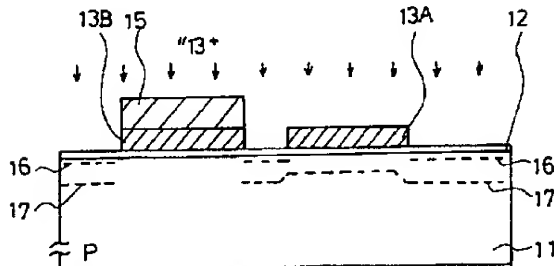
**【構成】**

、第1のイオン注入工程では、第1及び第2のSiN膜(13A, 13B)がマスクとして働くような加速電圧、例えば40KeVでボロンイオン(11B+)を前記基板(11)のLOCOS酸化膜形成領域に注入し、第1の注入層(16)を形成する。続く第2のイオン注入工程で

**[CONSTITUTION]**

In 1st ion-implantation process, a boron ion (11B+) is implanted into the LOCOS oxide-film formation range of said base-plate (11) by acceleration voltage (for example, 40KeV) which a 1st and 2nd SiN film (13A, 13B) acts as a mask, 1st implantation layer (16) is formed. In 2nd continuing ion-implantation process, a boron ion (11B+) is implanted into 1st MOS-transistor formation range of said

は、第1のSiN膜(13A)を貫通し、かつレジスト膜(15)で被覆された第2のSiN膜(13B)を貫通しない加速電圧、例えば140KeVでボロンイオン(11B+)を前記基板(11)の第1のMOSトランジスタ形成領域に注入し、第2の注入層(17)を形成する。



15: レジスト膜      16: 第1の注入層  
 17: 第2の注入層

15: resist film      16: the first implantation layer  
 17: the second implantation layer

**【特許請求の範囲】**
**[CLAIMS]**
**【請求項1】**

第1のMOSトランジスタと、第1のMOSトランジスタより厚いゲート酸化膜を有する第2のMOSトランジスタとを具備する半導体装置の製造方法において、一導電型の半導体基板上に互いに離間された第1及び第2のSiN膜を形成する工程と、第2のSiN膜を被覆するよう

**[CLAIM 1]**

A manufacturing method of the semiconductor device, in which in the manufacturing method of the semiconductor device which comprises 1st MOS transistor and 2nd MOS transistor which has a gate oxide film thicker than 1st MOS transistor, the process which forms the 1st and 2nd SiN film which it separated mutually on the semiconductor substrate of one conductivity type, the process which forms a resist film so that 2nd SiN film may be coated, 1st

にレジスト膜を形成する工程と、

第1及び第2のSiN膜がマスクとして働くような加速電圧で一導電型の不純物を前記基板のLOCOS酸化膜形成領域に注入する第1のイオン注入工程と、

第1のSiN膜を貫通し、かつレジスト膜で被覆された第2のSiN膜を貫通しない加速電圧で一導電型の不純物を第1のMOSトランジスタ形成領域に注入する第2のイオン注入工程と、

レジスト膜を除去した後に第1及び第2のSiN膜を耐酸化性マスクとして熱酸化を行うことによりLOCOS酸化膜を形成する工程と、

第1及び第2のSiN膜を除去した後に厚いゲート酸化膜を形成する第1のゲート酸化工程と、

LOCOS酸化膜をマスクとして一導電型の不純物を前記基板の第1及び第2のトランジスタ形成領域に注入する第3のイオン注入工程と、

第1のMOSトランジスタ形成領域上のゲート酸化膜を選択的に除去する工程と、

第1のMOSトランジスタ形成領域上に、第2のMOSトランジスタ形成領域上より薄いゲート酸化膜を形成する第2のゲ

ion-implantation process which implants the impurity of one conductivity type into the LOCOS oxide-film formation range of said base plate by acceleration voltage which a 1st and 2nd SiN film acts as a mask, 2nd ion-implantation process which implants the impurity of one conductivity type into 1st MOS-transistor formation range by the acceleration voltage which does not penetrate 2nd SiN film coated with the resist film, and which penetrated 1st SiN film, the process which forms a LOCOS oxide film by oxidizing thermally by using a 1st and 2nd SiN film as an oxidation-resistant mask after removing a resist film, 1st gate oxidation process which forms a gate oxide film thick after removing a 1st and 2nd SiN film, 3rd ion-implantation process which implants the impurity of one conductivity type into the 1st and 2nd transistor formation range of said base plate by using a LOCOS oxide film as a mask, the process which removes selectively the gate oxide film on 1st MOS-transistor formation range, 2nd gate oxidation process which forms a gate oxide film thinner than 2nd MOS-transistor formation range top on 1st MOS-transistor formation range, it has these processes.

ト酸化工程と、を有することを  
特徴とする半導体装置の製造方  
法。

**【発明の詳細な説明】****[DETAILED DESCRIPTION OF THE INVENTION]****【 0 0 0 1 】****[0001]****【産業上の利用分野】****[INDUSTRIAL APPLICATION]**

本発明は半導体装置の製造方法に関するものであり、さらに詳しく言えば、ゲート酸化膜厚の異なるMOSトランジスタを有する半導体装置を製造する際の工程の削減、並びにトランジスタの弱反転領域におけるリーク電流の低減を可能とする半導体装置の製造方法に関するものである。

This invention relates to the manufacturing method of a semiconductor device.

In more detail, it is related with the manufacturing method of the semiconductor device which enables reduction of the process at the time of manufacturing the semiconductor device which has the MOS transistor from which gate oxidation film thickness differ, and decrease of the leak electric current in the weak reversal range of a transistor.

**【 0 0 0 2 】****[0002]****【従来の技術】****[PRIOR ART]**

近年のTFT型液晶関連製品の需要増大に伴い、半導体業界においてもLCD駆動用LSIの開発及び製造がきわめて活発になっている。このLCD駆動用LSIは、21Vという高電源電圧で動作する出力ドライバー部分と5Vの標準的な電源電圧で動作する論理回路部分とから

It accompanies to demand increase of a TFT type liquid-crystal related product in recent years, and development and manufacture of LSI for LCD actuation are very active also in the semiconductor industry.

This LSI for LCD actuation comprises an output driver part which operates by high source voltage called 21V, and a logic-circuit part which operates by the standard source voltage of 5V.

構成されるため、ゲート酸化膜の耐圧面の信頼性を考慮して、出力ドライバー部分のゲート酸化膜については論理回路部分に比して厚く形成している。

**【0003】**

以下で、従来例に係る半導体装置の製造方法を図11乃至図20を参照しながら説明する。なお、従来例の半導体装置は実際にはCMOS構造であるが、説明の簡単のためNチャネル側のみ図示した。まず、図11において、P型のシリコン基板(1)上の全面にパッド酸化膜(2)を介してSiN膜(3)を形成する。次に、図12において、レジスト膜(4)をマスクとしてSiN膜(3)を選択的にエッチングすることにより、第1のSiN膜(3A)及び第2のSiN膜(3B)を形成する。その後、図13において、それらをマスクとしてボロンイオン(11B+)をシリコン基板(1)をイオン注入する。このとき、Pチャネル側(図示せず)については、レジスト膜で被覆する工程を行って上記のイオン注入を行う。

**【0004】**

そして、図14において、第1のSiN膜(3A)及び第2のSiN膜(3B)を耐酸化性マ

Therefore, reliability of the withstand-pressure surface of a gate oxide film is considered, and it forms thickly as compared with a logic-circuit part about the gate oxide film of an output driver part.

**[0003]**

Below, the manufacturing method of the semiconductor device based on a prior art example is demonstrated, seeing FIG. 11 - FIG. 20.

In addition, the semiconductor device of a prior art example is CMOS structure in fact.

However, only the N channel side was illustrated for the simplicity of explanation.

First, in FIG. 11, SiN film (3) is formed in the whole surface on silicon-substrate (1) of a P-type through pad oxide-film (2).

Next, in FIG. 12, 1st SiN film (3A) and 2nd SiN film (3B) are formed by etching SiN film (3) selectively by using resist film (4) as a mask.

After that, in FIG. 13, the ion implantation of silicon-substrate (1) is carried out for a boron ion (11B+) by making them into a mask.

At this time, about a P channel side (not shown), the process coated with a resist film is performed and the above-mentioned ion implantation is performed.

**[0004]**

And in FIG. 14, a selective oxidation is performed by using 1st SiN film (3A) and 2nd SiN film (3B) as an oxidation-resistant mask,

スクとして選択酸化を行い、LOCOS酸化膜(5)を形成する。このとき、イオン注入されたボロンが基板(1)の下方へ拡散し、Nチャネル領域のLOCOS酸化膜(5)の下にチャネルストッパ層(6)が形成される。その後、SiN膜及びパッド酸化膜(2)の除去工程を経て、図15において、犠牲酸化膜(7)を形成し、Pチャネル側(図示せず)をレジスト膜(8)で被って、ボロンイオン(11B+)による第1回目のチャネルイオン注入を行う。

**【0005】**

次いで、図16において、第2のMOSトランジスタ形成領域を露出し、かつ第1のMOSトランジスタ形成領域を被覆するようにレジスト膜(9)を形成し、そのレジスト膜(9)をマスクとして、リンイオン(31P+)による第2回目のイオン注入を行う。これは、第2のMOSトランジスタのしきい値( $V_{th}$ )を調節するために必要とされるイオン注入工程である。

**【0006】**

次に、犠牲酸化膜(7)を除去し、図17において、熱酸化により600Å程度の厚いゲート酸化膜(10)を形成する。次いで、図18において、第1の

and LOCOS oxide-film (5) is formed.

At this time, the boron which is ion-implanted is diffused under base-plate (1), channel-stopper layer (6) is formed in the bottom of LOCOS oxide-film (5) of an N channel range.

Then, in FIG. 15, sacrificial-oxidation film (7) is formed passing through the elimination process of a SiN film and pad oxide-film (2), a P channel side (not shown) is covered by resist film (8), and the first time channel ion implantation by the boron ion (11B+) is performed.

**[0005]**

Subsequently, in FIG. 16, resist film (9) is formed so that 2nd MOS-transistor formation range may be exposed and 1st MOS-transistor formation range may be coated, the second time ion implantation by the phosphorus ion (31P+) is performed by using the resist film (9) as a mask.

This is an ion implantation process made necessary in order to adjust the threshold value ( $V_{th}$ ) of 2nd MOS transistor.

**[0006]**

Next, sacrificial-oxidation film (7) is removed, in FIG. 17, thick gate oxide-film (10) of about 600 Angstroms is formed by thermal oxidation.

Subsequently, in FIG. 18, resist film (11) which has opening is formed on 1st MOS-transistor



MOSトランジスタ形成領域上に開口を有するレジスト膜（１１）を形成し、エッチングすることによりその領域上のゲート酸化膜（１０）を選択的に除去する。そして、図１９において、レジスト膜（１１）を除去し、第２回目のゲート酸化工程を行い、第１のMOSトランジスタ形成領域上に２４０Å程度の薄いゲート酸化膜（１０Ｂ）を形成するとともに、第２のMOSトランジスタ形成領域上のゲート酸化膜（１０）の膜厚を７００Å程度まで厚くする。次に、図２０において、ゲート酸化膜（１０、１０Ｂ）上にそれぞれポリシリコン等からなるゲート電極（１２）を形成し、そのゲート電極（１２）をマスクとしてシリコン基板（１）にリンイオン（ $31P^+$ ）またはヒ素イオン（ $75As^+$ ）をイオン注入し、ソース層（１３）及びドレイン層（１４）を形成する。

#### 【０００７】

以上の工程により、２４０Å程度のゲート酸化膜（１０Ｂ）を有する第１のMOSトランジスタと、７００Å程度のゲート酸化膜（１０）を有する第２のMOSトランジスタとを形成し、前者をLCD駆動用LSIの論理回路部分に、後者を出力ドライバー部分に使用していた。

formation range, gate oxide-film (10) on the range is selectively removed by etching.

And resist film (11) is removed in FIG. 19, while performing a second time gate oxidation process and forming thin gate oxide-film (10B) of about 240 Angstroms on 1st MOS-transistor formation range, the film thickness of gate oxide-film (10) on 2nd MOS-transistor formation range are thickened to about 700 Angstroms.

Next, in FIG. 20, gate-electrode (12) which consists of a polysilicon etc., respectively is formed on a gate oxide film (10 10B), a phosphorus ion ( $31P^+$ ) or an arsenic ion ( $75As^+$ ) is ion-implanted in silicon-substrate (1) by using the gate-electrode (12) as a mask, source layer (13) and drain layer (14) are formed.

#### [0007]

By the above process, 1st MOS transistor which has gate oxide-film (10B) of about 240 Angstroms, and 2nd MOS transistor which has gate oxide-film (10) of about 700 Angstroms are formed, the former was used for the logic-circuit part of LSI for LCD actuation, and the latter was used for the output driver part.

【0008】

【発明が解決しようとする課題】

しかしながら、従来の製造方法では、ゲート酸化膜の膜厚の異なる2種類のMOSトランジスタのしきい値を設定するために、2回のチャンネルイオン注入工程と、それに伴う2回のマスク合わせ工程とを行なわなければならない、工程数が多いという問題点があった。

【0009】

さらに、従来の製造方法では、異なる膜厚のゲート酸化膜を形成するために、上記チャンネルイオン注入後に2度のゲート酸化を行っていた。このため、第1回目に注入されたボロンの拡散により、チャンネルの表面濃度が高まり、それを補償して適正なしきい値を確保すべく、第2回目のイオン注入においてリンイオンの注入量を多くしなければならなかった。その結果、ゲート酸化膜の厚い第2のMOSトランジスタの弱反転領域(Weak Inversion Region)でのソースドレイン間リーク電流が増加するという問題点も有していた。

【0010】

[0008]

**[PROBLEM TO BE SOLVED BY THE INVENTION]**

However, in the conventional manufacturing method, in order to set up the threshold value of two kinds of MOS transistors from which the film thickness of a gate oxide film differ, 2 times of channel ion implantation processes and 2 times of the mask alignment processes accompanied to it had to be performed, and there was a trouble that there were many processes.

[0009]

Furthermore, in the conventional manufacturing method, in order to form the gate oxide film of different film thickness, two gate oxidation was performed after the above-mentioned channel ion implantation.

For this reason, the surface concentration of a channel increases according to diffusion of the boron implanted into the first time, in order to compensate it and to ensure an appropriate threshold value, in the second time ion implantation, the implantation amount of a phosphorus ion had to be made much.

Consequently, it also had the trouble that the source drains leak electric current in the weak reversal range (Weak Inversion Region) of 2nd thick MOS transistor of a gate oxide film increased.

[0010]

本発明は、上記の問題点に鑑みて為されたものであり、工程数の削減とMOSトランジスタの弱反転特性の向上とを可能とする半導体装置の製造方法を提供することを目的としている。

In view of the above-mentioned trouble, it succeeded in this invention.

It aims at providing the manufacturing method of the semiconductor device which enables a reduction of the number of processes, and an improvement of the weak reversal characteristics of a MOS transistor.

【0011】

[0011]

**【課題を解決するための手段】**

本発明に係る半導体装置の製造方法は、第1のMOSトランジスタと、第1のMOSトランジスタより厚いゲート酸化膜を有する第2のMOSトランジスタとを具備する半導体装置の製造方法において、一導電型の半導体基板上に互いに離間された第1及び第2のSiN膜を形成する工程と、第2のSiN膜を被覆するようにレジスト膜を形成する工程と、第1及び第2のSiN膜がマスクとして働くような加速電圧で一導電型の不純物を前記基板のLOCOS酸化膜形成領域に注入する第1のイオン注入工程と、第1のSiN膜を貫通し、かつレジスト膜で被覆された第2のSiN膜を貫通しない加速電圧で一導電型の不純物を第1のMOSトランジスタ形成領域に注入する第2のイオン注入工程と、レジスト膜を除去した後に第1及び第2のS

**[MEANS TO SOLVE THE PROBLEM]**

In the manufacturing method of the semiconductor device to which the manufacturing method of the semiconductor device based on this invention comprises 1st MOS transistor and 2nd MOS transistor which has a gate oxide film thicker than 1st MOS transistor, the process which forms the 1st and 2nd SiN film which it separated mutually on the semiconductor substrate of one conductivity type, the process which forms a resist film so that 2nd SiN film may be coated, 1st ion-implanted process which implants the impurity of one conductivity type into the LOCOS oxide-film formation range of said base plate by acceleration voltage which a 1st and 2nd SiN film commits as a mask, 2nd ion implantation process which implants the impurity of one conductivity type into 1st MOS-transistor formation range by the acceleration voltage which does not penetrate 2nd SiN film coated with the resist film, and which penetrated 1st SiN film, the process which forms a LOCOS oxide film by oxidizing thermally by using a 1st and 2nd SiN film as an

i N膜を耐酸化性マスクとして熱酸化を行うことによりLOCOS酸化膜を形成する工程と、第1及び第2のSiN膜を除去した後に厚いゲート酸化膜を形成する第1のゲート酸化工程と、LOCOS酸化膜をマスクとして一導電型の不純物を前記基板の第1及び第2のトランジスタ形成領域に注入する第3のイオン注入工程と、第1のMOSトランジスタ形成領域上のゲート酸化膜を選択的に除去する工程と、第1のMOSトランジスタ形成領域上に、第2のMOSトランジスタ形成領域上より薄いゲート酸化膜を形成する第2のゲート酸化工程と、を有することを特徴としている。

oxidation-resistant mask after removing a resist film, 1st gate oxidation process which forms a gate oxide film thick after removing a 1st and 2nd SiN film, 3rd ion-implanted process which implants the impurity of one conductivity type into the 1st and 2nd transistor formation range of said base plate by using a LOCOS oxide film as a mask, the process which removes selectively the gate oxide film on 1st MOS-transistor formation range, 2nd gate oxidation process which forms a gate oxide film thinner than 2nd MOS-transistor formation range top on 1st MOS-transistor formation range, it is characterized by having these processes.

**【0012】****[0012]****【作 用】**

本発明によれば、まず、上記の第2のイオン注入工程で、第1のMOSトランジスタのみに注入を行い、次いで、第3のイオン注入工程で、両方のトランジスタに注入を行うことにより、しきい値を制御している。すなわち、第1のMOSトランジスタでは、第3のイオン注入のみで制御され、一方、第2のMOSトランジスタでは、第2及び第3のイオン注入を足し合わせ

**[OPERATION]**

According to this invention, it implants only into 1st MOS transistor in 2nd above-mentioned ion implantation process first, subsequently, the threshold value is controlled by 3rd ion implantation process by implanting into both of transistors.

That is, it controls by 1st MOS transistor only with 3rd ion implantation, on the other hand, in 2nd MOS transistor, the control of a threshold value is made in the implantation amount which added the 2nd and 3rd ion implantation.

Thus, in 2nd ion-implanted process, the same

た注入量において、しきい値の制御がなされる。しかして、第2のイオン注入工程では、チャネルストップ層形成用の第1のイオン注入工程と同じレジスト膜を兼用しているの、従来に比べてマスク合わせ工程が1回少なく済むのである。

**【0013】**

さらに、本発明によれば、第3のイオン注入工程の後で、1度のゲート酸化工程しかないの、従来例に比べてチャネルイオン注入後の熱処理量を減少させることができ、ボロンの拡散を極力小さくできる。したがって、従来のように、第2のMOSトランジスタ対してリンイオンによるカウンター注入を必要としない。これにより、総チャネル注入量が減り、また、表面にN型不純物がないので、弱反転領域におけるリーク電流を低減することができる。

**【0014】****【実施例】**

以下で、本発明の一実施例に係る半導体装置の製造方法を図面を参照しながら説明する。なお、本実施例に係る半導体装置は実際にはCMOS構造であるが、説明の簡単のためNチャネル側

resist film as 1st ion-implanted process for channel-stopper layer formation is combined. Therefore, as compared with the prior art, a mask alignment process is few once and ends.

**[0013]**

Furthermore, according to this invention, after 3rd ion implantation process, since there is only a gate oxidation process of 1 time, compared with a prior art example, the heat processing amount after a channel ion implantation can be decreased, and diffusion of a boron can be made small as much as possible.

Therefore, 2nd carry out MOS-transistor pair and according to phosphorus ion counter implantation is not made necessary in accordance with the prior art.

Since the total channel implantation amount becomes less and there is no N-type impurity in the surface by this, the leak electric current in a weak reversal range can be decreased.

**[0014]****[EXAMPLES]**

Below, the manufacturing method of the semiconductor device based on one Example of this invention is demonstrated, seeing drawing.

In addition, the semiconductor device based on this Example is CMOS structure in fact.

However, only the N channel side is illustrated

のみ図示している。まず、図 1 において、P型のシリコン基板 (11) 上にパッド酸化膜 (12) を介して減圧CVD法によりSiN膜 (13) (シリコン窒化膜) を形成する。次に、図 2 において、レジスト膜 (14) をマスクとしてSiN膜 (13) を選択的にエッチングすることにより、第1のSiN膜 (13A) 及び第2のSiN膜 (13B) を形成する。

**【0015】**

次に、図 3 において、レジスト膜 (14) を除去した後に、再度、第2のSiN膜 (13B) を被覆するように、約1 $\mu$ mの膜厚のレジスト膜 (15) を形成する。このとき、Pチャンネル側 (図示せず) も同時にレジスト膜で被覆しているので、従来例と比べてここまでの工程では、マスク合わせ工程数は変わらない。本発明の特徴は、以下に説明する2回のイオン注入工程を行うことである。

**【0016】**

すなわち、第1のイオン注入工程では、第1及び第2のSiN膜 (13A, 13B) がマスクとして働くような加速電圧、例えば40KeVでボロンイオン (11B+) を前記基板 (11) のLOCOS酸化膜形成領域に注

for the simplicity of explanation.

First, in FIG. 1, SiN film (13) (silicon nitride layer) is formed by the reduced-pressure-CVD method through pad oxide-film (12) on silicon-substrate (11) of a P-type.

Next, in FIG. 2, 1st SiN film (13A) and 2nd SiN film (13B) are formed by etching SiN film (13) selectively by using resist film (14) as a mask.

**[0015]**

Next, in FIG. 3, after removing resist film (14), resist film (15) with a film thickness of about 1 micrometer is again, formed so that 2nd SiN film (13B) may be coated.

At this time, the P channel side (not shown) is also simultaneously coated with the resist film.

Therefore, compared with a prior art example, the number of mask alignment processes does not change in the process so far.

The characteristics of this invention are performing 2 times of the ion-implanted processes demonstrated below.

**[0016]**

In 1st ion-implantation process, a boron ion (11B+) is implanted into the LOCOS oxide-film formation range of said base-plate (11) by acceleration voltage (for example, 40KeV) which a 1st and 2nd SiN film (13A, 13B) acts as a mask, 1st implantation layer (16) is formed.

This ion implantation is for forming

入し、第1の注入層(16)を形成する。このイオン注入は、チャンネルストップ層(19)を形成するためのもので、その注入量は  $5 \times 10^{15} / \text{cm}^2$  ( $5 \times 10^{15}$  は、5掛ける10の15乗を表す。以下において同じ。)である。続く第2のイオン注入工程では、第1のSiN膜(13A)を貫通し、かつレジスト膜(15)で被覆された第2のSiN膜(13B)を貫通しない加速電圧、例えば140KeVでボロンイオン(11B+)を前記基板(11)の第1のMOSトランジスタ形成領域に注入し、第2の注入層(17)を形成する。このイオン注入は、後に形成する膜厚の薄い第1のMOSトランジスタのしきい値を制御するためのものであり、その注入量は、 $4 \times 10^{12} / \text{cm}^2$  である。

#### 【0017】

次に、図4において、レジスト膜(15)を除去した後に、第1及び第2のSiN膜(13A, 13B)をマスクとして1000℃程度でウエット酸化を行い、8000Å程度のLOCOS酸化膜(18)を形成する。このとき、第1及び第2のイオン注入層(16, 17)が拡散され、LOCOS酸化膜(18)の下にチャンネルストップ層(19)と、第1のMOSトランジ

channel-stopper layer (19), and that implantation amount is five  $E15 / \text{cm}^2$ .

(Five  $E15$  expresses the 15th power of 10 multiplied by five.)

It is the same as below.)

1st SiN film (13A) is penetrated in 2nd continuing ion implantation process, and a boron ion (11B+) is implanted into 1st MOS-transistor formation range of said base-plate (11) by the acceleration voltage (for example, 140KeV) which does not penetrate 2nd SiN film (13B) coated with resist film (15), 2nd implantation layer (17) is formed.

This ion implantation is for controlling the threshold value of 1st MOS transistor with the thin film thickness formed behind.

The implantation amount is four  $E12 / \text{cm}^2$ .

#### [0017]

Next, in FIG. 4, after removing resist film (15), wet oxidation is performed by the 1000 degrees-Celsius grade by using a 1st and 2nd SiN film (13A, 13B) as a mask, and LOCOS oxide-film (18) of about 8000 Angstroms is formed.

At this time, 1st and 2nd ion implantation layer (16,17) is diffused, channel dope diffused-layer (20) is unified and formed in the bottom of LOCOS oxide-film (18) to channel-stopper layer (19) and the channel range of 1st MOS transistor.

スタのチャネル領域にチャネル  
ドープ拡散層（20）とが一体  
化されて形成される。

**【0018】**

次に、図5において、第1及び第2のSiN膜（13A、13B）、パッド酸化膜（12）を除去後、犠牲酸化（ダミー酸化）を行い、その犠牲酸化膜を除去した後に、さらに950℃の熱酸化を行い、600Å程度の厚いゲート酸化膜（21）を形成する。次いで、図6において、Pチャネル側を被覆するレジスト膜（22）を形成し、ボロンイオン（11B<sup>+</sup>）を前記基板（11）の第1及び第2のMOSトランジスタ形成領域に注入する第3のイオン注入工程を行い、第3の注入層（23）を形成する。このイオン注入は、加速電圧140KeV、注入量1.5E12/cm<sup>2</sup>という条件で行う。これにより、第2のMOSトランジスタのしきい値は、本イオン注入によって決定され、第1のMOSトランジスタのしきい値は、本イオン注入と第2のイオン注入との足し合わせにより決定されることになる。

**【0019】**

次に、図7において、第1のMOSトランジスタ形成領域上の厚いゲート酸化膜（21）を選

**[0018]**

Next, it sets in FIG. 5, sacrificial oxidation (dummy oxidation) is performed after removing a 1st and 2nd SiN film (13A, 13B) and pad oxide-film (12), after removing the sacrificial-oxidation film, 950 degrees-Celsius is further oxidized thermally and thick gate oxide-film (21) of about 600 Angstroms is formed.

Subsequently, in FIG. 6, resist film (22) which coats a P channel side is formed, 3rd ion implantation process which implants a boron ion (11B<sup>+</sup>) into the 1st and 2nd MOS-transistor formation range of said base-plate (11) is performed, and 3rd implantation layer (23) is formed.

This ion implantation is performed on the conditions of acceleration-voltage 140KeV and 1.5E12/cm<sup>2</sup> of implantation amounts.

Thereby, the threshold value of 2nd MOS transistor is determined by this ion implantation, the threshold value of 1st MOS transistor will be added as this ion implantation and 2nd ion implantation, and will be determined by the alignment.

**[0019]**

Next, in FIG. 7, thick gate oxide-film (21) on 1st MOS-transistor formation range is removed selectively.



択的に除去する。本工程では、第1のMOSトランジスタ形成領域上に開口(24)を有するレジスト膜(25)を形成し、希釈HF溶液により当該ゲート酸化膜(21)を選択的にエッチング除去している。そして、図8にいて、レジスト膜(25)を除去した後に第2のゲート酸化工程を行い、第1のMOSトランジスタ形成領域上に、第2のMOSトランジスタ形成領域上に比して薄いゲート酸化膜(26)を形成する。このゲート酸化工程は、900℃程度の熱酸化により、240Å程度の薄いゲート酸化膜(26)を形成するが、この酸化工程で厚いゲート酸化膜(21)も700Å程度にさらに厚くなる。したがって、最終的には、第1のMOSトランジスタについては、240Å程度の薄いゲート酸化膜(26)が形成され、第2のMOSトランジスタについては、700Å程度の厚いゲート酸化膜(21)が形成される。

**【0020】**

その後は、図9において、常法により、ポリシリコン等からなるゲート電極(27)をそれぞれのゲート酸化膜(21, 22)上に形成する。Pチャネル側を被覆するレジスト膜(28)を形成し、このレジスト膜(28)

In this process, resist film (25) which has opening (24) is formed on 1st MOS-transistor formation range, etching elimination of said gate oxide-film (21) is selectively carried out with the dilution HF solution.

And it is in FIG. 8, after removing resist film (25), 2nd gate oxidation process is performed, and as compared with 2nd MOS-transistor formation range top, thin gate oxide-film (26) is formed on 1st MOS-transistor formation range.

This gate oxidation process forms thin gate oxide-film (26) of about 240 Angstroms by thermal oxidation about 900 degrees-Celsius.

However, thick gate oxide-film (21) also further becomes thick in this oxidation process at about 700 Angstroms.

Therefore, finally about 1st MOS transistor, thin gate oxide-film (26) of about 240 Angstroms is formed, about 2nd MOS transistor, thick gate oxide-film (21) of about 700 Angstroms is formed.

**[0020]**

After that, in FIG. 9, gate-electrode (27) which consists of a polysilicon etc. is formed on each gate oxide-film (21,22) by the conventional method.

Resist film (28) which coats a P channel side is formed, a phosphorus ion (31P+) or an arsenic ion (75As+) is ion-implanted by using this resist

及びゲート電極 (27) をマスクとしてリンイオン ( $31P^+$ ) またはヒ素イオン ( $75As^+$ ) をイオン注入し、ソース層 (29) 及びドレイン層 (30) を形成する。

**【0021】**

以上の工程により、 $240\text{ \AA}$ 程度のゲート酸化膜 (26) を有する第1のMOSトランジスタと、 $700\text{ \AA}$ 程度のゲート酸化膜 (21) を有する第2のMOSトランジスタとを形成し、前者をLCD駆動用LSIの論理回路部分に、後者を出力ドライバ部分に使用することができる。ここで、第1及び第2のMOSトランジスタのしきい値の制御方法について、図10を参照して説明する。図10は、しきい値とボロンイオン注入量との関係を示す図である。第1のMOSトランジスタと第2のMOSトランジスタとはゲート酸化膜の膜厚が異なるために、図に示すように、第2のMOSトランジスタの方が同一注入量に対してしきい値が高く、かつ注入量に対する傾きも大きい。

**【0022】**

そこで、本実施例では、まず、上記の第2のイオン注入工程で、第1のMOSトランジスタのみに $4E12/cm^2$ の注入を

film (28) and gate-electrode (27) as a mask, source layer (29) and drain layer (30) are formed.

**[0021]**

By the above process, 1st MOS transistor which has gate oxide-film (26) of about 240 Angstroms, and 2nd MOS transistor which has gate oxide-film (21) of about 700 Angstroms are formed, the former can be used for the logic-circuit part of LSI for LCD actuation, and the latter can be used for an output driver part. Here, the control procedure of the threshold value of a 1st and 2nd MOS transistor is demonstrated with reference to FIG. 10. FIG. 10 is a figure which shows the relationship between a threshold value and a boron ion implantation amount.

1st MOS transistor and 2nd MOS transistor differ from each other in the film thickness of a gate oxide film.

Therefore, the threshold value of 2nd MOS transistor is high to the same implantation amount, as shown in a figure, and the gradient with respect to implantation amount is also large.

**[0022]**

So, in this Example, four  $E12/cm^2$  is first implanted only into 1st MOS transistor in 2nd above-mentioned ion implantation process, subsequently,  $1.5E12/cm^2$  implantation is

行い、次いで、第3のイオン注入工程で、両方のトランジスタに  $1.5 \times 10^{12} / \text{cm}^2$  の注入を行うことでしきい値の制御している。すなわち、第2のMOSトランジスタでは、 $1.5 \times 10^{12} / \text{cm}^2$  という注入量において、約1.0Vという所望のしきい値が得られ、一方、第1のMOSトランジスタでは、第2及び第3のイオン注入を足し合わせた  $5.5 \times 10^{12} / \text{cm}^2$  という注入量において、約0.9Vというほぼ等しいしきい値が得られる。そして、第2のイオン注入工程は、チャネルストップ層(19)を形成する第1のイオン注入工程と同じレジスト膜(15)をそのまま利用しているので、従来例に比してマスク合わせ工程が1回少なくなるのである。

#### 【0023】

さらに、本実施例によれば、第3のイオン注入工程の後には、1回のゲート酸化工程しかないので、従来例に比べてチャネルイオン注入後の熱処理量を減少でき、この結果従来例のように第2のMOSトランジスタに対してリンイオンによるカウンター注入を必要としないのである。なお、図10において、一点鎖線で示したように、従来例ではしきい値が高くなりすぎるため

performed to both of transistors, and a threshold value is controlled by 3rd ion implantation process.

That is, in 2nd MOS transistor, it sets to an implantation amount called  $1.5 \times 10^{12} / \text{cm}^2$ , the desired threshold value about 1.0V is obtained, in an implantation amount called  $5.5 \times 10^{12} / \text{cm}^2$  which, on the other hand, added the 2nd and 3rd ion implantation by 1st MOS transistor, the almost equal threshold value about 0.9V is obtained.

And 2nd ion implantation process utilizes the same resist film (15) as 1st ion implantation process which forms channel-stopper layer (19) as it is.

Therefore, as compared with a prior art example, a mask alignment process decreases once.

#### [0023]

Furthermore, since after 3rd ion implantation process has only 1 time of a gate oxidation process according to this Example, compared with a prior art example, the heat processing amount after a channel ion implantation can be reduced, as a result, the counter implantation by the phosphorus ion is not made necessary to 2nd MOS transistor like a prior art example.

In addition, in FIG. 10, as shown with the alternate long and short dash line, in order that a threshold value might become higher too much, by the prior art example, counter

に、カウンター注入を必要としていた。これにより、総イオン注入量が減り、またチャネル表面の濃度を比較的高く設定できるので、弱反転領域におけるリーク電流を大幅に小さくすることができた。

【 0 0 2 4 】

**【発明の効果】**

以上説明したように、本発明によれば、第1のMOSトランジスタと、第1のMOSトランジスタより厚いゲート酸化膜厚を有する第2のMOSトランジスタとを具備する半導体装置の製造方法において、それぞれのトランジスタのしきい値を所望の値に制御するためのイオン注入工程において必要とされるマスク合わせ回数を従来に比して少なくすることができ、製造工程の合理化に寄与することができる。また、本発明によれば、第2のMOSトランジスタの弱反転特性を向上することができる。特に、低電圧系と高電圧系の二電源を有するLCD駆動用LSI等の製造に適用することにより、製造工程の合理化及び低消費電力化に寄与することができる。

**【図面の簡単な説明】**

implantation was made necessary.

Thereby, the total ion implantation amount becomes less, and the density on the surface of a channel can be set up comparatively highly.

Therefore, the leak electric current in a weak reversal range was able to be sharply made small.

**[0024]****[ADVANTAGE OF THE INVENTION]**

In the manufacturing method of the semiconductor device which, as explained above, comprises 1st MOS transistor and 2nd MOS transistor which has gate oxidation film thickness thicker than 1st MOS transistor according to this invention, the number of times of mask alignment made necessary in the ion implantation process for controlling the threshold value of each transistor to a desired value can be decreased as compared with the former, and it can contribute to rationalization of a manufacturing process.

Moreover, according to this invention, the weak reversal characteristics of 2nd MOS transistor can be improved.

Especially, by using to manufacture of LSI for LCD actuation which has two power sources of low-voltage -based and high-voltage -based, it can contribute to rationalization and the reduction in power consumption of a manufacturing process.

**[BRIEF DESCRIPTION OF THE DRAWINGS]**

**【図 1】**

本発明の一実施例に係る半導体装置の製造方法を説明する第 1 の断面図である。

**[FIG. 1]**

It is 1st sectional drawing explaining the manufacturing method of the semiconductor device based on one Example of this invention.

**【図 2】**

本発明の一実施例に係る半導体装置の製造方法を説明する第 2 の断面図である。

**[FIG. 2]**

It is 2nd sectional drawing explaining the manufacturing method of the semiconductor device based on one Example of this invention.

**【図 3】**

本発明の一実施例に係る半導体装置の製造方法を説明する第 3 の断面図である。

**[FIG. 3]**

It is 3rd sectional drawing explaining the manufacturing method of the semiconductor device based on one Example of this invention.

**【図 4】**

本発明の一実施例に係る半導体装置の製造方法を説明する第 4 の断面図である。

**[FIG. 4]**

It is 4th sectional drawing explaining the manufacturing method of the semiconductor device based on one Example of this invention.

**【図 5】**

本発明の一実施例に係る半導体装置の製造方法を説明する第 5 の断面図である。

**[FIG. 5]**

It is 5th sectional drawing explaining the manufacturing method of the semiconductor device based on one Example of this invention.

**【図 6】**

本発明の一実施例に係る半導体装置の製造方法を説明する第 6 の断面図である。

**[FIG. 6]**

It is 6th sectional drawing explaining the manufacturing method of the semiconductor device based on one Example of this invention.

**【図 7】**

本発明の一実施例に係る半導体装置の製造方法を説明する第 7 の断面図である。

**[FIG. 7]**

It is 7th sectional drawing explaining the manufacturing method of the semiconductor device based on one Example of this invention.

**【図 8】**

本発明の一実施例に係る半導体装置の製造方法を説明する第 8 の断面図である。

**[FIG. 8]**

It is 8th sectional drawing explaining the manufacturing method of the semiconductor device based on one Example of this invention.

**【図 9】**

本発明の一実施例に係る半導体装置の製造方法を説明する第 9 の断面図である。

**[FIG. 9]**

It is 9th sectional drawing explaining the manufacturing method of the semiconductor device based on one Example of this invention.

**【図 10】**

MOS トランジスタのしきい値とイオン注入量との関係を示す図である。

**[FIG. 10]**

It is the figure which shows the relationship between the threshold value of a MOS transistor, and an ion implantation amount.

**【図 11】**

従来例に係る半導体装置の製造方法を説明する第 1 の断面図である。

**[FIG. 11]**

It is 1st sectional drawing explaining the manufacturing method of the semiconductor device based on a prior art example.

**【図 12】**

従来例に係る半導体装置の製造方法を説明する第 2 の断面図である。

**[FIG. 12]**

It is 2nd sectional drawing explaining the manufacturing method of the semiconductor device based on a prior art example.

**【図 13】**

従来例に係る半導体装置の製造方法を説明する第 3 の断面図である。

**[FIG. 13]**

It is 3rd sectional drawing explaining the manufacturing method of the semiconductor device based on a prior art example.

**【図 14】**

従来例に係る半導体装置の製造方法を説明する第 4 の断面図である。

**[FIG. 14]**

It is 4th sectional drawing explaining the manufacturing method of the semiconductor device based on a prior art example.

**【図 1 5】**

従来例に係る半導体装置の製造方法を説明する第 5 の断面図である。

**[FIG. 15]**

It is 5th sectional drawing explaining the manufacturing method of the semiconductor device based on a prior art example.

**【図 1 6】**

従来例に係る半導体装置の製造方法を説明する第 6 の断面図である。

**[FIG. 16]**

It is 6th sectional drawing explaining the manufacturing method of the semiconductor device based on a prior art example.

**【図 1 7】**

従来例に係る半導体装置の製造方法を説明する第 7 の断面図である。

**[FIG. 17]**

It is 7th sectional drawing explaining the manufacturing method of the semiconductor device based on a prior art example.

**【図 1 8】**

従来例に係る半導体装置の製造方法を説明する第 8 の断面図である。

**[FIG. 18]**

It is 8th sectional drawing explaining the manufacturing method of the semiconductor device based on a prior art example.

**【図 1 9】**

従来例に係る半導体装置の製造方法を説明する第 9 の断面図である。

**[FIG. 19]**

It is 9th sectional drawing explaining the manufacturing method of the semiconductor device based on a prior art example.

**【図 2 0】**

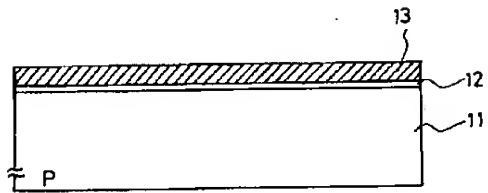
従来例に係る半導体装置の製造方法を説明する第 1 0 の断面図である。

**[FIG. 20]**

It is 10th sectional drawing explaining the manufacturing method of the semiconductor device based on a prior art example.

**【図 1】**

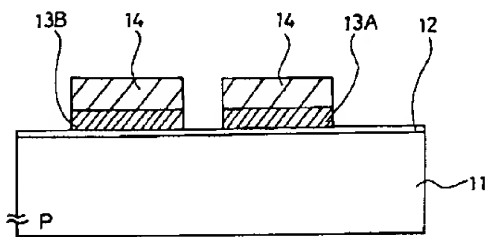
**[FIG. 1]**



11: シリコン基板      12: パット酸化膜  
 13: SiN 膜  
 11: silicon substrate      12: pat oxide film  
 13: SiN film

【図 2】

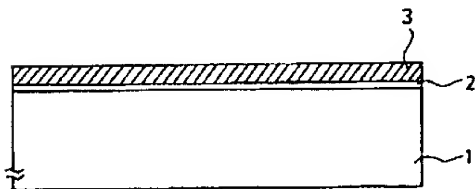
[FIG. 2]



13A, 13B: 第1, 第2の SiN 膜  
 14: レジスト膜  
 13A, 13B: the first and second SiN film  
 14: resist film

【図 11】

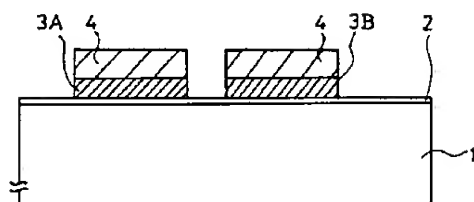
[FIG. 11]





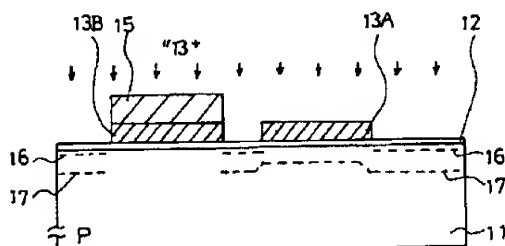
【図 12】

[FIG. 12]



【図 3】

[FIG. 3]

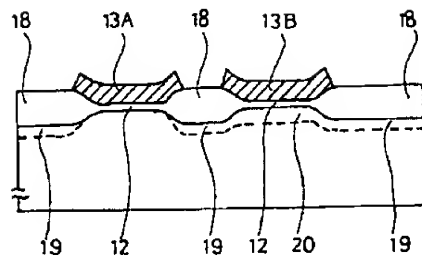


15: レジスト膜      16: 第1の注入層  
 17: 第2の注入層

15: resist film      16: the first implantation layer  
 17: the second implantation layer

【図 4】

[FIG. 4]

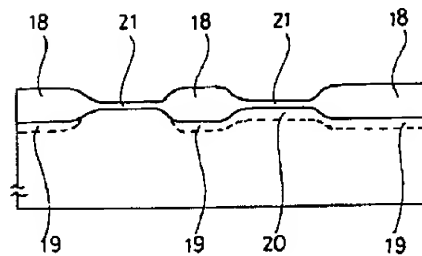


18: LOCOS 酸化膜      19: チネルストップ層  
 20: チネルドーパ拡散層

18: LOCOS oxide film      19: Channel-stopper layer  
 20: Channel dope diffused layer

【図 5】

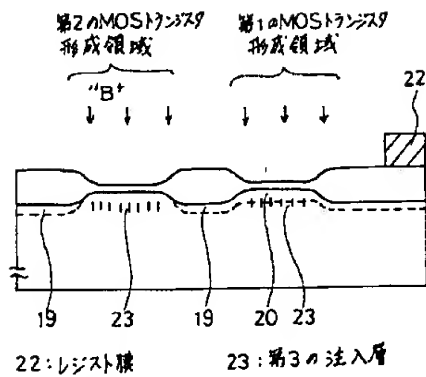
[FIG. 5]



21: 厚ゲート酸化膜  
 21: thick gate oxide film

【図 6】

[FIG. 6]



2nd MOS-transistor formation area

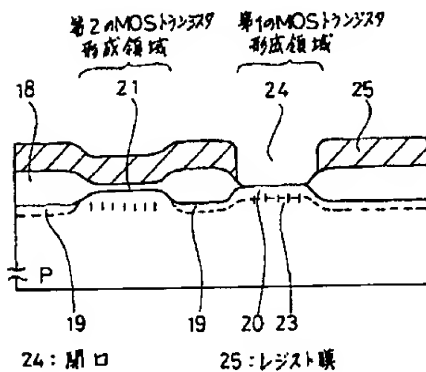
1st MOS-transistor formation area

22: resist film

23: the third implantation layer

【図 7】

[FIG. 7]



2nd MOS-transistor formation area

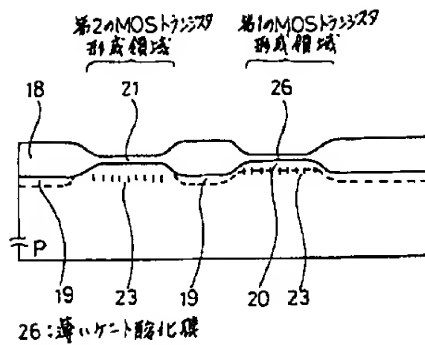
1st MOS-transistor formation area

24: opening

25: resist film

【図 8】

[FIG. 8]



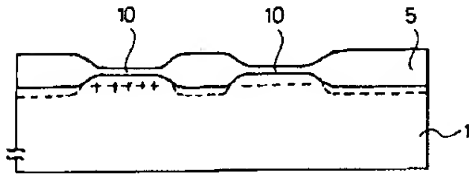
2nd MOS-transistor formation area

1st MOS-transistor formation area

26: thin gate oxide film

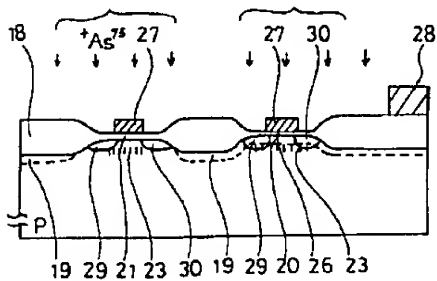
【図 17】

[FIG. 17]



【図 9】

[FIG. 9]

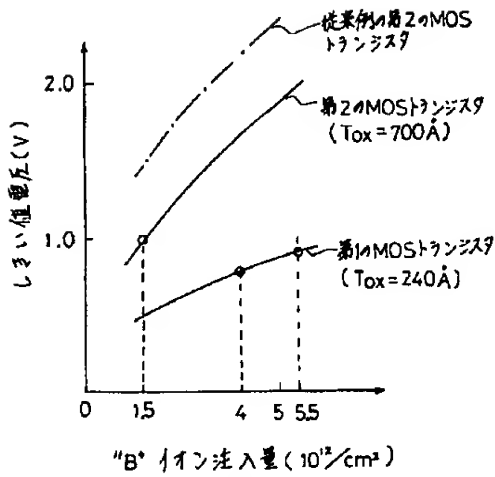


27: ゲート電極  
 29: ソース層

28: レジスト膜  
 30: ドレイン層

【図 10】

[FIG. 10]



Threshold voltage (V)

2nd MOS-transistor of prior art example

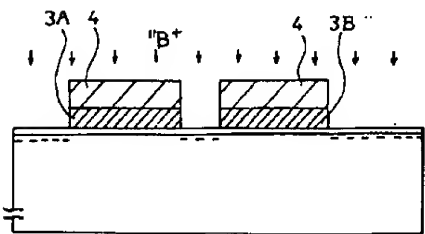
2nd MOS-transistor ...

1st MOS-transistor ...

$B^+$  ion implantation amount ...

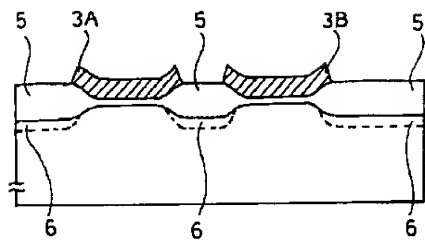
【図 13】

[FIG. 13]



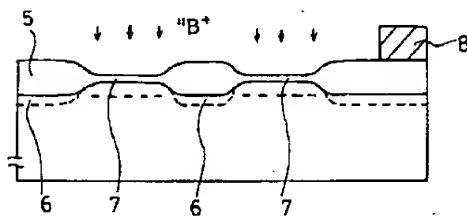
【図 14】

[FIG. 14]



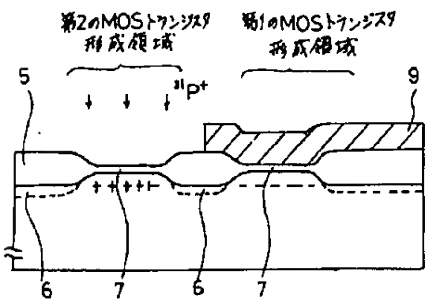
【図 15】

[FIG. 15]



【図 16】

[FIG. 16]

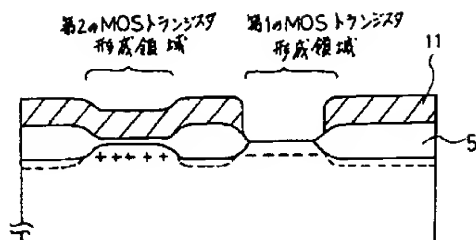


2nd MOS-transistor formation area

1st MOS-transistor formation area

【図 18】

[FIG. 18]

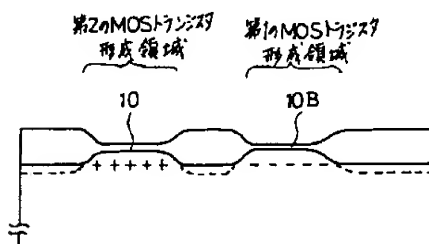


2nd MOS-transistor formation area

1st MOS-transistor formation area

【図 19】

[FIG. 19]

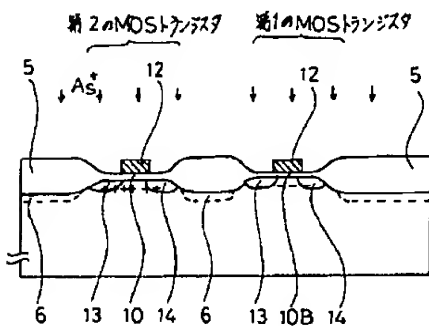


2nd MOS-transistor formation area

1st MOS-transistor formation area

【図 20】

[FIG. 20]



2nd MOS-transistor

1st MOS-transistor



## DERWENT TERMS AND CONDITIONS

*Derwent shall not in any circumstances be liable or responsible for the completeness or accuracy of any Derwent translation and will not be liable for any direct, indirect, consequential or economic loss or loss of profit resulting directly or indirectly from the use of any translation by any customer.*

Derwent Information Ltd. is part of The Thomson Corporation

Please visit our home page: ["WWW.DERWENT.CO.UK"](http://WWW.DERWENT.CO.UK) (English)  
["WWW.DERWENT.CO.JP"](http://WWW.DERWENT.CO.JP) (Japanese)